



INTEGRINIŲ ANALOGINIŲ FILTRŲ SAVAIMINIO DERINIMO SISTEMOS PROJEKTAVIMAS

Karolis KIELA¹, Marijan JURGO², Leonid KLADOVŠČIKOV³

Vilniaus Gedimino technikos universitetas, Vilnius, Lietuva

El. paštas: ¹karolis.kiela@vgtu.lt; ²marijan.jurgo@vgtu.lt; ³l.kladovscikov@gmail.com

Santrauka. Integrinių analoginių filtrų parametrai gali kisti dėl temperatūros, senėjimo ar integrinių grandynų gamybos procesų netolydumo. Todėl jiems būtina numatyti papildomus grandynus, kurie kompensuotų filtrų komponentų pokyčius. Darbe siūlomas naujas integrinių aktyviųjų RC filtrų perjungiamų rezistorių matricų projektavimo metodas, kuris leidžia kompensuoti pasyvių komponentų nuokrypius ir užtikrina filtro praleidžiamų dažnių juostos derinimą reikiamu žingsniu. Savaiminio derinimo sistemoje remiamasi nauja skaitiklio architektūra, kuri naudoja nuosekliosios aproksimacijos paieškos algoritmą. Darbe pasiūlytas projektavimo metodas tikrinamas projektuojant filtro derinimo sistemą, naudojant 0,18 μm KMOP integrinių grandynų gamybos technologiją ir *Cadence Virtuoso* programinę įrangą. Gauti rezultatai palyginami su literatūroje pateiktais derinimo sistemų skaičiavimų rezultatais.

Reikšminiai žodžiai: savaiminis, derinimosi sistema, perjungiami rezistoriai, RC filtrai, KMOP.

Įvadas

Filtrai naudojami vaizdo signalų procesoriuose, standžiųjų diskų skaitymo/rašymo įtaisuose, balso atpažinimo sistemoje ir bevielio ryšio daugiastandarčiuose siųstuvuose-imtuvuose (Vasilopoulos *et al.* 2006).

Filtruojant signalus gali būti naudojamos įvairios filtrų struktūros – aktyvieji RC, *gm-C*, *OTA-C* ar perjungiamos talpos/srovės filtrai. Iš visų paminėtų struktūrų tik tolydžiojo laiko aktyvaus RC filtro struktūra pasižymi didžiausiu išėjimo dinamiiniu diapazonu (Chen *et al.* 2008). Dėl šios priežasties tokie filtrai dažniausiai naudojami įtaisuose, kur signalo-triukšmo santykis yra svarbus parametras.

Tikslinga daugumą elektroninių įtaisų sutalpinti į integrinius grandynus (IG) – taip sumažinamas įrenginių spausdintinių plokščių plotas, įrenginio dydis bei vartojamoji galia. Tobulėjančios IG gamybos technologijos leidžia į vieną lustą sutalpinti vis didesnį kiekį elektroninių komponentų. Tačiau net tobulėjant IG gamybos technologijoms, vis dar išlieka reikšmingas tokių grandynų trūkumas – komponentų verčių paklaidos.

Integriniuose grandynuose aktyviųjų RC filtrų dažnines charakteristikas nulemia IG komponentai – rezistoriai, kondensatoriai, tranzistoriai. Komponentų verčių pokyčiai dėl temperatūros, senėjimo ar IG gamybos procesų netolydumo gali keisti filtro dažnines charakteristikas. Dėl šios priežasties IG filtruose būtina

numatyti papildomus grandynus, kurie kompensuotų minėtus verčių pokyčius.

Darbe sudaroma metodika, kuria remiantis projektuojama filtro perjungiamų rezistorių matrica. Po to aprašoma integrinio aktyviojo RC filtro savaiminio derinimo sistemos struktūra, pateikiami kompiuterinio skaičiavimo rezultatai ir formuluojamos išvados.

Perjungiamų rezistorių matricos projektavimas

Aktyviųjų RC filtrų praleidžiamos dažnių juostos (PDJ) ribas nulemia jų sudarančių rezistorių ir kondensatorių vertės. Norint keisti aktyviojo RC filtro dažnines charakteristikas, reikia keisti vieno iš šių komponentų vertę. Literatūroje aprašytuose koreguojamos PDJ aktyviuosiuose RC filtruose PDJ dažniausiai keičiama perjungiant kondensatorių matricas (Lim *et al.* 2005; Chen *et al.* 2008). Tokiu atveju komponentų verčių svyravimai dėl temperatūros bei IG gamybos procesų netolydumo koreguojami naudojant perjungiamų rezistorių matricas (PRM), kurios keičia PDJ juostą fiksuotame ruože nuo ribinio dažnio. Būdai, kuriais galima įgyvendinti PRM, pavaizduoti 1 pav.

Nuoseklus PRM jungimo atveju (žr. 1 pav., a), $R_{fiksuoatas}$ yra nuosekliai sujungtas su rezistorių matrica R_0R_n (Jin, Dai 2012). Keičiant valdymo signalų kombinacijas, kinta bendra grandinės varža. Pagrindinis šio PRM įgyvendinimo būdo trūkumas yra tas, kad priklausomai

nuo valdymo kombinacijos ir matricos elementų skaičiaus, signalas gali pereiti kelis valdymo metalas-oksidas-puslaidininkis (MOP) tranzistorius. Valdymo tranzistorių kanalo varža, kuri priklauso nuo tranzistoriaus matmenų ir valdymo signalo įtampos lygio, gali daryti įtaką bendrajai PRM varžai, todėl tranzistorių įtaką yra sunku įvertinti atliekant rezistorių derinimo procedūras.

Plačiausiai naudojama yra lygiagretaus jungimo PRM (žr. 1 pav., b). Šiame straipsnyje siūlomas metodas, leidžiantis projektuoti lygiagretaus įgyvendinimo PRM atsižvelgiant į keliamus filtro PDJ derinimo ribų ir žingsnio reikalavimus. Fiksuoto rezistoriaus $R_{fiksuo\text{tas}}$ vertė apskaičiuojama pagal (1):

$$R_{fiksuo\text{tas}} = \frac{R \cdot 100}{(100 - \Delta\omega)}, \quad (1)$$

čia: R – rezistoriaus vertė, apskaičiuota projektuojant aktyvų RC filtrą, Ω ; $\Delta\omega$ – filtro PDJ ribinio dažnio derinimo riba, išreiškiama procentais.

Rezistoriaus R_0 vertė randama pagal (2), o likusiųjų rezistorių vertės randamos pagal (3) formules.

$$R_0 = R_{\min[n:0]} \cdot (2^n - 1), \quad (2)$$

$$R_n = \frac{R_0}{2^n}, \quad (3)$$

čia: n – minimalus PRM valdymo signalų skaičius, tenkiantis filtro PDJ ribinio dažnio derinimo ribos ir žingsnio reikalavimus; $R_{\min[n:0]}$ – varžos vertė, kuri bus gauta sujungus visus R_0 – R_n rezistorius lygiagrečiai.

Varžos $R_{\min[n:0]}$ vertė apskaičiuojama pagal (4) ir (5) formules.

$$R_{\min[n:0]} = \frac{R_{fiksuo\text{tas}} \cdot R_{\min}}{R_{fiksuo\text{tas}} - R_{\min}}; \quad (4)$$

$$R_{\min} = \frac{R \cdot 100}{(100 + \Delta\omega)}. \quad (5)$$

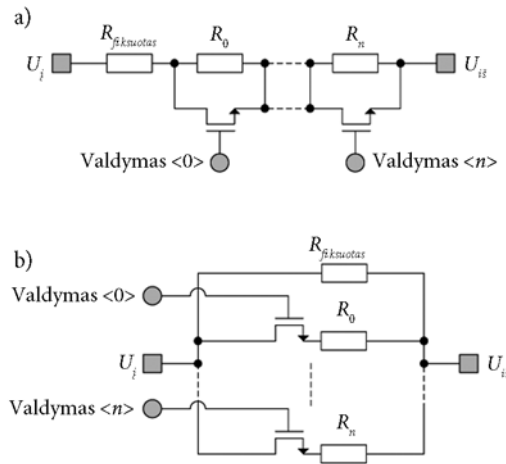
Minimalus PRM valdymo signalų skaičius priklauso nuo keliamų filtro derinimo žingsnio reikalavimų ir yra apskaičiuojamas:

$$n = \log_2 \left(\frac{10\,000}{100 \cdot \varphi - \Delta\omega \cdot \varphi} + 1 \right), \quad (6)$$

čia: φ – filtro PDJ ribinio dažnio derinimo žingsnis derinimo ribose, išreiškiamas procentais.

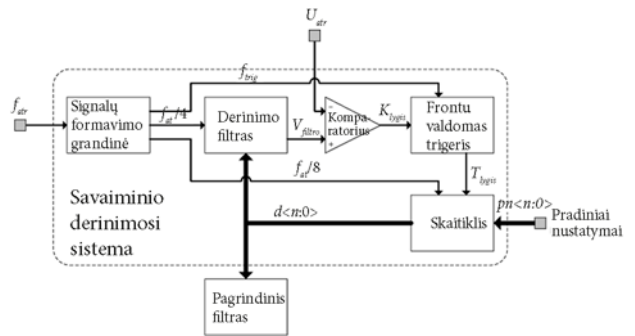
Iš (6) formulės matome, kad nustatant minimalų PRM valdymo signalų skaičių, būtina atsižvelgti į filtro PDJ ribinio dažnio derinimo ribą, kuri parenkama atsižvelgiant į maksimalų galimą komponentų verčių nuokrypį.

Pasiūlytas PRM projektavimo metodas neįvertina valdymo tranzistorių kanalo varžos įtakos, kai valdymo MOP tranzistorius yra įjungtas (dirba tiesinėje veikoje).



1 pav. Perjungiamų rezistorių matricių įgyvendimo būdai: a) – nuoseklus; b) – nuoseklus-lygiagretus

Fig. 1. Switched resistor matrix types: a) – series; b) – parallel



2 pav. Projektuojamos aktyviojo RC filtro derinimo sistemos struktūrinė schema

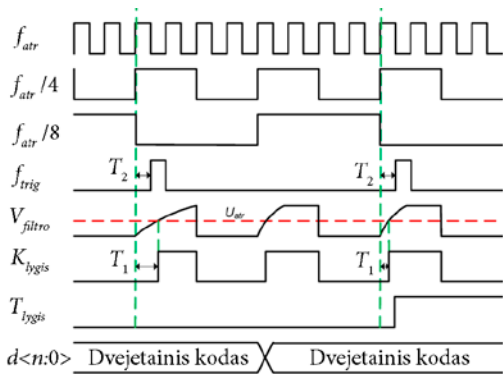
Fig. 2. Design top view of the active RC filter tuning circuit

Todėl, parenkant valdymo tranzistoriaus matmenis, reikia siekti gauti kuo didesnę varžos R_n ir valdymo tranzistoriaus kanalo varžos santykį (platinti tranzistoriaus kanalo plotį) (Oshima *et al.* 2004). MOP tranzistoriaus pločio didinimas galimas iki ribos, ties kuria jo parazitinės talpos pradeda daryti įtaką filtro dažninės charakteristikos parametrams.

Filtro savaiminio derinimo sistemos projektavimas

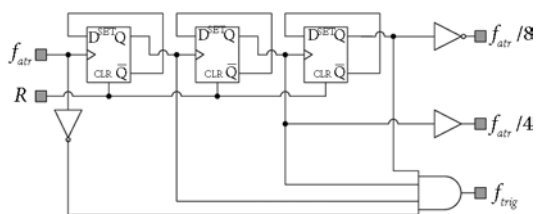
Integriniuose analoginiuose filtruose dažniausiai naudojamos derinimo sistemos, kurios kompensuoja pasyvių elementų verčių pokyčius. Dažniausiai literatūroje sutinkamos aktyviųjų RC filtrų derinimo sistemos paremtos vėlinimo kilpos struktūra (Heping *et al.* 2009; Oshima *et al.* 2004). Todėl yra projektuojama tokios struktūros savaiminio derinimo sistema, norint patikrinti pasiūlytą aktyviųjų RC filtrų PRM projektavimo metodiką.

Projektuojamos aktyviojo RC filtro derinimo sistemos struktūrinė schema pavaizduota 2 pav. Derinimo



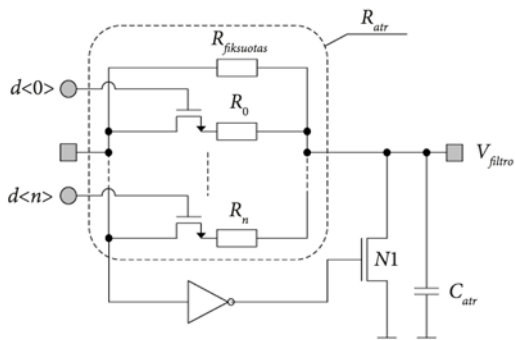
3 pav. Aktyviojo RC filtro derinimo sistemos signalų laikinė diagrama

Fig. 3. Timing diagram of the designed tuning circuit



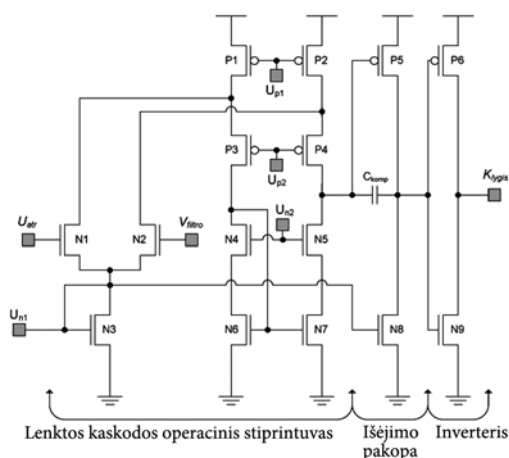
4 pav. Signalų formavimo įtaiso loginė schema

Fig. 4. Clock generator logical circuit



5 pav. Derinimo filtro principinė elektrinė schema

Fig. 5. Reference filter tuning circuit



6 pav. Lenktos kaskodinės grandinės komparatoriaus principinė elektrinė schema

Fig. 6. Folded cascode comparator used in the tuning circuit

grandinėje lyginami dviejų signalų vėlinimo trukmės – T_1 ir T_2 (žr. 3 pav.). Jeigu atraminis signalas f_{atr} yra pakankamai mažo dažnio (priklauso nuo IG technologijos, paprastai iki 10 MHz), signalų formavimo grandinėje (SFG) suformuota signalo f_{trig} vėlinimo trukmė T_2 gali būti laikoma pastovia ir nepriklausoma nuo IG gamybos procesų nuokrypių bei kitų grandyną veikiančių veiksnių.

Signalas $f_{atr/4}$, kuris taip pat yra formuojamas SFG, patenka į derinimo filtrą, kur jo vėlinimo trukmei daro įtaką pasyvūs komponentai ir juos veikiančių veiksnių nuokrypių. Komparatoriaus išėjimo signalas K_{lygis} , nuo kurio skaičiuojama vėlinimo trukmė T_1 , formuojamas priklausomai nuo signalo $f_{atr/4}$ vėlinimo trukmės ir įtampos U_{atr} lygio.

Signalų formavimo įtaiso loginė schema pateikta 4 pav. Frontu valdomas trigeris, kuris šioje schemoje atlieka fazės detektoriaus funkciją, lygina dvi vėlinimo trukmes T_1 ir T_2 ir savo išėjimo signalu T_{lygis} keičia skaitiklio kryptį. Skaitiklio formuojamas valdymo kodas keičia vieno iš pasyvių komponentų vertę ir artėja link valdymo kodo reikšmės, prie kurios išsilygina abiejų signalų vėlinimo trukmės. Kadangi skaitiklio valdymas yra diskretus, T_2 ir T_1 vėlinimo trukmės niekada netaps visiškai lygios, bet priartės prie siekiamos vertės ϕ tikslumu.

Dažnio daliklis sudarytas iš keturių frontu valdomų D tipo trigerių. Jų išėjime formuojami du signalai – $f_{atr/8}$ ir $f_{atr/4}$ – kurių periodai yra 8 ir 4 kartus ilgesni už įėjimo signalo f_{atr} periodą. Papildomas signalas f_{trig} formuojamas panaudojus inverterį ir loginio „IR“ elementą. Šio signalo periodas lygus $f_{atr/8}$ signalo periodui, tačiau darbo ciklas (angl. *duty cycle*) yra lygus f_{atr} signalo darbo ciklui. Neįvertinus loginių elementų vėlinimo trukmės, f_{trig} signalo vėlinimo trukmė T_2 randama taip:

$$T_2 = \frac{1}{2 \cdot f_{atr}}. \quad (7)$$

Derinimo filtras (5 pav.) yra pirmos eilės žemų dažnių filtras, sudarytas iš projektuojamos PRM matricos (R_{atr}) ir kondensatoriaus (C_{atr}). Signalas $f_{atr/4}$ per rezistorių R_{atr} įkrauna kondensatorių C_{atr} . Jeigu komparatoriaus atraminė įtampa U_{atr} (žr. 2 pav.) yra parenkama vertei, lygiai pusei maitinimo įtampos, signalo K_{lygis} vėlinimo trukmė T_1 gali būti užrašoma (8) (Oshima *et al.* 2004). Papildomas tranzistorius N1 skirtas staigiai iškrauti kondensatorių, pasibaigus jo krovimo ciklui.

$$T_1 = R_{atr} \cdot C_{atr} \cdot \ln(2), \quad (8)$$

Kondensatoriaus įtampa lyginama su U_{atr} reikšme naudojant komparatorių, kurio principinė elektrinė schema pateikta 6 pav. Komparatoriaus įėjimo pakopą sudaro lenktos kaskodinės grandinės operacinis stiprintuvas, o išėjimo pakopą sudaro bendros ištakos stiprintuvas ir

inverteris. Talpa C_{komp} sumažina Milerio efektą ir praplečia komparatoriaus stiprinamų dažnių juostą.

Heping *et al.* (2009) siūlomoje filtrų derinimo sistemoje PRM valdymo signalui keisti naudojamas nuosekliosios aproksimacijos (angl. *successive approximation*) analoginis-skaitmeninis keitiklis. Skirtingai nuo įprasto skaitiklio, kuriam reikia 2^n ciklų, kad būtų rasta galutinė PRM valdymo signalo reikšmė, nuosekliosios aproksimacijos metodas trunka n ciklų, kur n yra valdymo signalų skaičius.

Siūlomas naujos struktūros skaitiklis, paremtas nuosekliosios aproksimacijos paieškos metodu, kuriame nenaudojamas analoginis-skaitmeninis keitiklis, supaprastinantis derinimo sistemą (7 pav.). Siūlomame skaitiklyje valdymo kodo $d<n:0>$ vertė pradeda keisti nuo vyriausiojo bito, atsižvelgiant į fazės detektoriaus lygį. Jeigu T_{lygis} lygis yra loginis „0“, $d<n>$ signalas nustatomas į loginį „1“ – sumažinama PRM varža ir mažinamas vėlinimas T_1 . Kitu signalo $f_{atr/8}$ kylančiu frontu keičiamas $d<n-1>$ bitas. Jeigu T_{lygis} pasikeitė iš loginio „1“ į loginį „0“, $d<n>$ signalas nustatomas į loginį „0“, o $d<n-1>$ į loginį „1“. Šiuo atveju, pirmame žingsnyje pakeitus $d<n>$ bito lygį, pasiekta PRM varžos vertė buvo per maža. Siūlomo skaitiklio galutinė PRM valdymo kodo reikšmė surandama po:

$$t_{derinimo} = \frac{n+1}{f_{atr/8}}. \quad (9)$$

Lyginant su įprastais nuosekliosios aproksimacijos paieškos algoritmais, siūlomame skaitiklyje reikalingas vienas papildomas $f_{atr/8}$ periodas, kad būtų pasiekta galutinė valdymo signalo $d<n:0>$ vertė. Papildomas periodas reikalingas tam, kad būtų galima grąžinti $d<n>$ valdymo signalą iš loginio „1“ į loginį „0“. Valdymo kodo reikšmės kitimo laikinė diagrama pavaizduota 8 pav.

Fazės detektoriumi naudojamas D tipo frontu valdomas trigeris, kuris sudarytas naudojant tikrą vienos fazės taktavimo struktūrą (angl. *true single phase clock logic – TSPC*) (Chen, Jung 2011). Pagrindinis šio struktūros privalumas yra mažas užimamas lusto plotas ir vėlinimo trukmė lyginant su tradicinės struktūros D tipo frontu valdomais trigeriais.

Skaičiavimo rezultatai

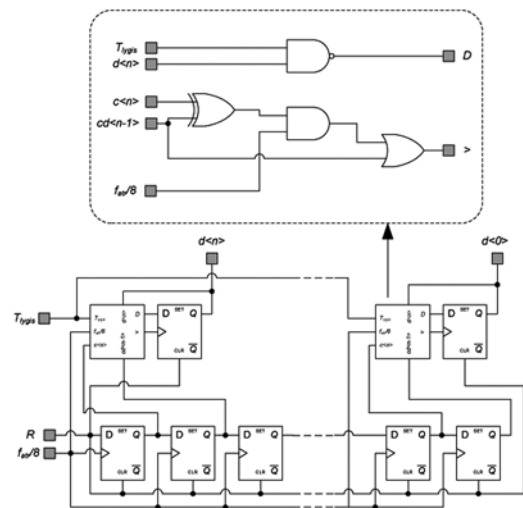
Siūlomam PRM projektavimo metodui patikrinti 0,18 μm KMOP IG technologijoje yra projektuojamas aktyvusis RC filtras ir jo savaiminio derinimo sistema.

Norint nustatyti technologijos pasyvių komponentų nuokrypių ribas, suprojektuotas pirmos eilės pasyvus žemų dažnių filtras, kurio PDJ ribinis dažnis lygus 10 MHz. 9 pav., a pateikti suprojektuoto pirmos eilės filtro Monte

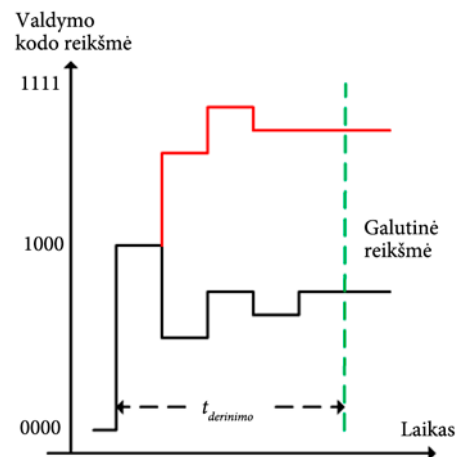
Karlo skaičiavimo rezultatai, kurios metu atsitiktinai keičiami IG gamybos proceso parametrai ir galimi elementų geometrijos nuokrypiai nustatytose ribose, gautose gamintojo atliktų eksperimentinių matavimų metu. Iš rezultatų matyti, kad filtro PDJ ribinio dažnio nuokrypis 3 standartinų nuokrypių (3σ) ribose neviršija 30 %.

Apsibrėžus, kad $R = 10 \text{ k}\Omega$, $\Delta\omega = 30 \%$ ir $\varphi = 1,5 \%$, suprojektuota PRM, remiantis šiame straipsnyje siūloma metodika. Iš (6) gauta, kad minimalus PRM valdymo signalų skaičius, tenkinantis filtro PDJ ribinio dažnio derinimo ribas ir žingsnio reikalavimus, yra lygus 7. Iš rezultatų (žr. 9 pav. b–d) matome, kad suprojektuotą PRM bus visada galima nustatyti į $R = 10 \text{ k}\Omega$ vertę φ žingsniu.

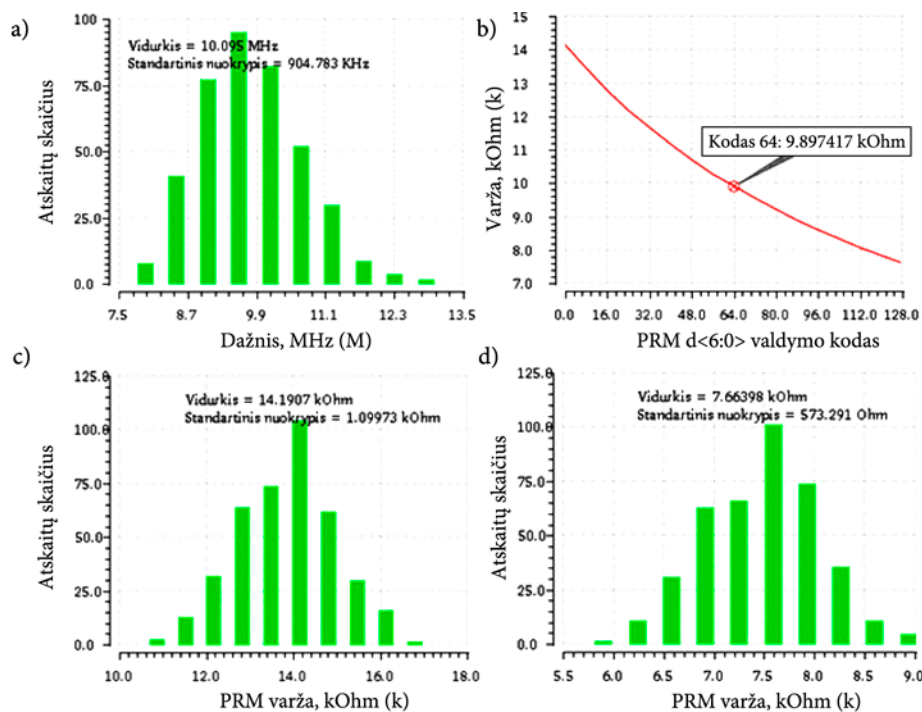
Aktyvaus RC filtro derinimo sistemos signalų lygių laikinė diagrama parodyta 10 pav. Skaičiuojant derinimo



7 pav. Nuosekliosios aproksimacijos skaitiklio loginė schema
Fig. 7. SAR logic used in the tuning circuit

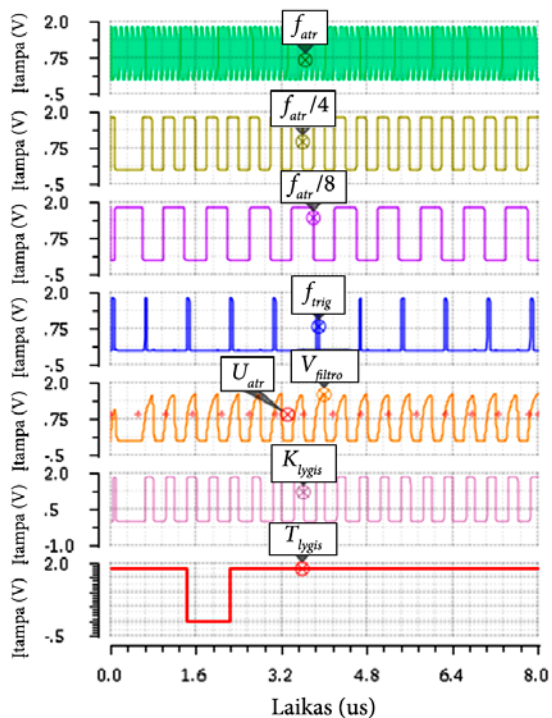


8 pav. Siūlomo nuosekliosios aproksimacijos skaitiklio laikinė diagrama
Fig. 8. Timing diagram of the proposed SAR (successive approximation register) counter



9 pav. a) – pasyvaus pirmos eilės filtro PDJ ribinio dažnio nuokrypis; b) – suprojektuotos PRM varžos priklausomybė nuo valdymo signalo; c) – suprojektuotos PRM varžos nuokrypis, kai valdymo signalas lygus 0; d) – suprojektuotos PRM varžos nuokrypis, kai valdymo signalas lygus 127

Fig. 9. a) – cutoff frequency deviation of a first order passive filter; b) – resistance of the designed switched resistor bank vs control code; c) – resistance deviation of the designed switched resistor bank when control code is set to 0; d) – resistance deviation of the designed switched resistor bank when control code is set to 127

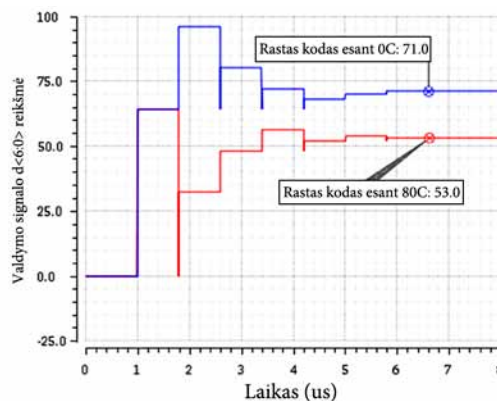


10 pav. Suprojektuotos derinimo sistemos signalų lygių laikinė diagrama esant 27 °C

Fig. 10. Timing diagram of the proposed tuning circuit at 27 °C

sistemą naudojamas 10 MHz f_{atr} signalas, maitinimo įtampa lygi 1,8 V. Nuo 100 ns iki 500 ns visa sistema yra pradinio nustatymo (angl. *reset*) būsenoje, kurios metu valdymo signalo $d<6:0>$ išėjimai nustatomi į loginį „0“.

Suprojektuotos derinimo sistemos PRM valdymo signalo $d<6:0>$ reikšmės paieškos laikinė diagrama parodyta 11 pav. Galutinės valdymo signalo reikšmės suradimas



11 pav. PRM valdymo signalo $d<6:0>$ reikšmės paieška prie skirtingų temperatūrų

Fig. 11. Switched resistor bank control code $d<6:0>$ value vs different temperature

trunka $8 f_{avr/8}$ signalo periodus arba 6,4 μ s. Keičiant temperatūrą nuo 0 °C iki 80 °C valdymo signalo $d\langle 6:0 \rangle$ reikšmė kinta atitinkamai nuo 71 iki 53.

Suprojektuotos filtro derinimo sistemos $d\langle 6:0 \rangle$ valdymo signalai sujungti su antros eilės žemų dažnių daugelio grįžtamųjų ryšių (DGR, angl. *Multiple feedback*) struktūros aktyviojo RC filtru, kurio PDJ ribinis dažnis 10 MHz (žr. 12 pav.). Filtro stiprinimas yra vienetinis, todėl visi rezistoriai R_1 - R_3 pakeičiami į R_{avr} (PRM) ir filtro perdavimo funkcija užrašoma (10) – (12) išraiškėmis.

$$H(s) = \frac{\omega_0^2}{s^2 + \frac{\omega_0}{Q} \cdot s + \omega_0^2}; \quad (10)$$

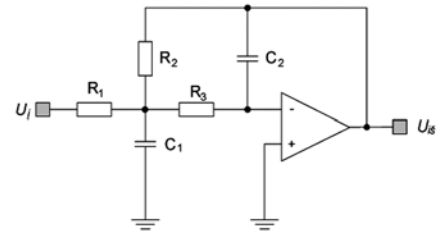
$$Q = \frac{\sqrt{R_2 \cdot R_3 \cdot C_1 \cdot C_2}}{(R_2 + R_3 + |A| \cdot R_3) \cdot C_2} = \frac{\sqrt{C_1 \cdot C_2}}{3 \cdot C_2}; \quad (11)$$

$$\omega_0 = \frac{1}{\sqrt{R_2 \cdot R_3 \cdot C_1 \cdot C_2}} = \frac{1}{R_{avr} \sqrt{C_1 \cdot C_2}}, \quad (12)$$

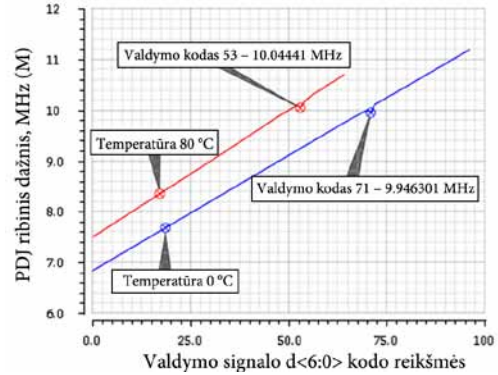
čia: Q – filtro kokybė faktorius; ω_0 – filtro PDJ ribinis dažnis; A – filtro stiprinimas, lygus R_2/R_1 .

Suprojektuoto filtro PDJ priklausomybė nuo valdymo signalo $d\langle 6:0 \rangle$, kurį valdo derinimo sistema, pavaizduota 13 pav. Iš paveikslėlio matome, kad filtro PDJ paklaida δ neviršija 1% temperatūros ruože nuo 0 °C iki 80 °C. Filtro dažninė amplitudės charakteristika, esant rastai derinimo sistemos galutinei reikšmei $d\langle 6:0 \rangle$, pavaizduota 14 pav.

1 lentelėje pateikti suprojektuotos derinimo sistemos parametrų palyginimai su kitų autorių aprašytomis derinimo sistemomis. Lyginant jas tarpusavyje, suprojektuota derinimo sistema pasiekia geriausią filtro derinimo tikslumą (1 %), o derinimo valdymo signalo reikšmės paieškos trukmė yra antra pagal spartumą (6,4 μ s).

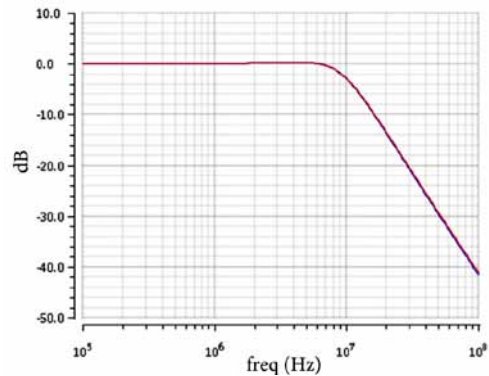


12 pav. Antros eilės žemų dažnių DGR filtro struktūra
Fig. 12. Second order multiple feedback design filter



13 pav. Suprojektuoto 2 eilės aktyviojo RC filtro PDJ priklausomybė nuo valdymo signalo $d\langle 6:0 \rangle$ reikšmės

Fig. 13. Bandwidth of the designed 2nd order vs tuning code $d\langle 6:0 \rangle$



14 pav. Suprojektuoto 2 eilės aktyviojo RC filtro dažninė amplitudės charakteristika po PDJ suderinimo

Fig. 14. AC magnitude characteristic of the designed 2nd order active RC filter after bandwidth tuning

1 lentelė. Suprojektuotos filtro derinimo schemas pagrindinių parametrų palyginimas su kitų autorių darbais

Table 1. Comparison of the designed filter tuning circuit to works of other authors

Autorius	ω_0 , MHz	$\Delta\omega$, %	φ , %	$t_{derinimo}$, μ s	Maitinimo įtampa, V	IG technologijos minimalus matmuo, μ m
Vasilopoulos <i>et al.</i> 2006	4	37	5,1	16	1	1,2
Chen <i>et al.</i> 2008	120	40	5	8	1,5	0,18
Lim <i>et al.</i> 2005	2; 5; 10	40	2,5	–	1,8	0,18
Oshima <i>et al.</i> 2004	2	28	5	160	–	0,18
Heping <i>et al.</i> 2009	3; 4; 9.5; 12	–	4	20	2,85	0,35
Jiang <i>et al.</i> 2011	0,2; 2	20	2,5	5,5	1,5	0,13
Fan <i>et al.</i> 2009	3,75	40	4	–	1,8	0,18
Du <i>et al.</i> 2006	4	25	3	–	–	0,18
Autorių darbas	10	30	1	6,4	1,8	0,18

Išvados

1. Temperatūros svyravimai, gamybos procesų netolydumai įtakoja IG komponentų vertes. Šie procesai gali pakeisti suprojektuoto filtro dažnines charakteristikas, todėl integruiniuose analoginiuose RC filtruose būtina numatyti papildomas derinimo sistemas, kurios kompensuoja minėtus verčių pokyčius.
2. IG analoginių RC filtrų dažnines charakteristikas galima keisti panaudojus skaitmeniniu būdu valdomas PRM. Darbe pasiūlytas naujas metodas skirtas PRM projektavimui, kuris leidžia apskaičiuoti PRM vertes, kai žinoma PDJ koregavimo ribos ir minimalus žingsnis.
3. PRM valdymo signalus formuoja filtrų derinimo sistemos. Labiausiai paplitusios derinimo sistemos yra paremtos vėlinimo kilpos struktūra. Joje PRM valdymo signalų formavimo laikas priklauso nuo skaitiklio architektūros. Autorių siūloma nauja skaitiklio architektūra naudoja nuosekliosios aproksimacijos paieškos algoritmą ir suformuoja galutinę PRM valdymo signalų reikšmę per $n+1$ ciklą. Siūlomas skaitiklis leidžia atsakyti sudėtingesnių analoginių-skaitmeninių keitiklių, kurie įprastai naudojami atliekant nuosekliosios aproksimacijos paiešką.
4. Siūlomas PRM projektavimo metodas, filtro derinimo sistema, kuri valdo antros eilės žemų dažnių aktyvųjį RC filtrą, tikrinami juos projektuojant pagal 0,18 μm KMOP technologiją. Skaičiavimai atlikti naudojant *Cadence* programinę įrangą. Pagrindiniai gauti rezultatai: $\omega_0 - 10 \text{ MHz}$; $\Delta\omega - 30 \%$; $\varphi - 1 \%$; $t_{\text{derinimo}} - 6,4 \mu\text{s}$.

Literatūra

- Chen, Y. C.; Chiu, W. H.; Lin, T. H. 2008. A 120-MHz active-RC filter with an agile frequency tuning scheme in 0.18- μm CMOS, in *VLSI Design, Automation and Test*: 208–211.
- Chen, W. H.; Jung, B. 2011. High-speed low-power true single-phase clock dual-modulus prescalers, *Circuits and Systems II: Express Briefs* 58(3): 144–148. <http://dx.doi.org/10.1109/TCSII.2011.2106351>
- Du, D.; Li, Y.; Wang, Z.; Tan, S. 2006. An active-RC complex filter with mixed signal tuning system for low-IF receiver, in *Circuits and Systems*: 1031–1034.
- Fan, C.; Lu, Y.; Mao, C. 2009. Design of a Chebyshev low pass filter with automatic frequency calibration, in *Microelectronics & Electronics*: 121–124.
- Heping, M.; Fang, Y.; Yin, S.; Dai, F. F. 2009. A multi-standard active-RC filter with accurate tuning system, *Journal of Semiconductors* 30(9): 095011. <http://dx.doi.org/10.1088/1674-4926/30/9/095011>
- Jiang, C.; Xie, R.; Li, W.; Huang, Y.; Hong, Z. 2011. Reconfigurable low pass filter with Automatic Frequency Tuning for WCDMA and GSM application, in *ASIC (ASICON)*: 1066–1069.

- Jin, X.; Dai, F. F. 2012. A 6 th order zero capacitor spread 1MHz–10MHz tunable CMOS active-RC low pass filter with fast tuning scheme, in *Circuits and Systems (ISCAS)*: 1187–1190.
- Lim, J.; Cho, Y.; Jung, K.; Park, J.; Choi, J.; Kim, J. 2005. A wide-band active-RC filter with a fast tuning scheme for wireless communication receivers, in *Proceedings of Custom Integrated Circuits Conference*, 21 September 2005, 637–640.
- Oshima, T.; Maio, K.; Hioe, W.; Shibahara, Y. 2004. Novel automatic tuning method of RC filters using a digital-DLL technique, *Solid-State Circuits* 39(11): 2052–2054. <http://dx.doi.org/10.1109/JSSC.2004.835824>
- Vasilopoulos, A.; Vitzilaios, G.; Theodoratos, G.; Papananos, Y. 2006. A low-power wideband reconfigurable integrated active-RC filter with 73 dB SFDR, *Solid-State Circuits* 41(9): 1997–2008. <http://dx.doi.org/10.1109/JSSC.2006.880616>

INTEGRATED ANALOG FILTER TUNING SYSTEM DESIGN

K. Kiela, M. Jurgo, L. Kladvoscikov

Abstract

Parameters of integrated analog filters can vary due to temperature change, IC process variation and therefore they should have dedicated tuning circuits that compensate these imperfections. A method is proposed that speeds up switched resistor bank design while taking into account the required tuning range and step size. A novel counter structure is used in the tuning circuit that is based on successive approximation approach. The proposed switched resistor design method and tuning circuit are designed in 0.18 μm CMOS technology and verified. Results are compared to existing tuning circuit designs.

Keywords: self, auto, tuning system, resistor bank, RC filters, CMOS.